



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0123910
(43) 공개일자 2022년09월13일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 29/10 (2006.01)
H01L 29/40 (2006.01) H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7802 (2013.01)
H01L 29/1095 (2013.01)
(21) 출원번호 10-2021-0027453
(22) 출원일자 2021년03월02일
심사청구일자 없음

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
김광수
경기도 고양시 일산서구 일중로15번길 128, 203동 402호(일산동, 유진스웰아파트)
차규현
서울특별시 마포구 고산길 94-1, 2층(노고산동)
(74) 대리인
정부연

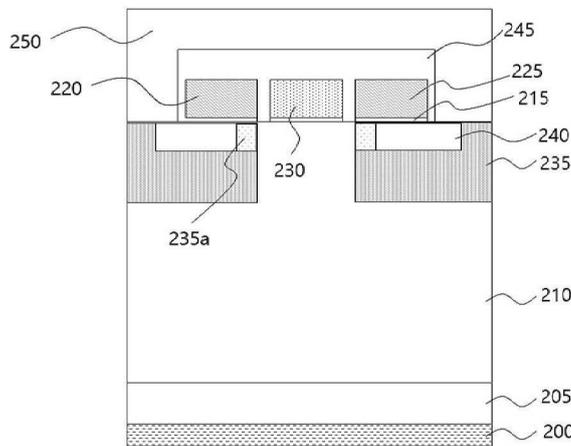
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 MOSFET 소자 및 그 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 MOSFET 소자는 반도체 기판 상에 구비된 드리프트층과, 상기 드리프트층 상부에 구비되며, 서로 일정 간격 이격되어 배치된 제1 게이트 패턴 및 제2 게이트 패턴과, 상기 제1 게이트 패턴 및 상기 제2 게이트 패턴들 사이의 상기 드리프트층 상에 구비되며, 상기 제1 게이트 패턴 및 상기 제2 게이트 패턴들과 전기적으로 분리된 플로팅 도전 패턴과, 상기 드리프트층 내에 상기 제1 게이트 패턴 및 상기 제2 게이트 패턴과 오버랩되도록 구비된 베이스 영역과, 상기 베이스 영역 상단부에 위치한 소스 영역을 포함하는 것을 특징으로 한다.

대표도 - 도2



(52) CPC특허분류

H01L 29/404 (2013.01)

H01L 29/66712 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711126448
과제번호	2018-0-01421-004
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	대학ICT연구센터육성지원사업
연구과제명	인공지능 서비스 실현을 위한 지능형 반도체 설계 핵심기술 개발
기여율	1/1
과제수행기관명	서강대학교산학협력단
연구기간	2021.01.01 ~ 2021.12.31

명세서

청구범위

청구항 1

반도체 기관 상에 구비된 드리프트층;

상기 드리프트층 상부에 구비되며, 서로 일정 간격 이격되어 배치된 제1 게이트 패턴 및 제2 게이트 패턴;

상기 제1 게이트 패턴 및 상기 제2 게이트 패턴들 사이의 상기 드리프트층 상에 구비되며, 상기 제1 게이트 패턴 및 상기 제2 게이트 패턴들과 전기적으로 분리된 플로팅 도전 패턴;

상기 드리프트층 내에 상기 제1 게이트 패턴 및 상기 제2 게이트 패턴과 오버랩되도록 구비된 베이스 영역; 및

상기 베이스 영역 상단부에 위치한 소스 영역

을 포함하는 것을 특징으로 하는 MOSFET 소자.

청구항 2

제1 항에 있어서,

상기 제1 게이트 패턴, 플로팅 도전 패턴 및 상기 제2 게이트 패턴의 양측면 및 하부면에 게이트 산화막을 더 포함하며, 상기 제1 게이트 패턴, 상기 제2 게이트 패턴과 상기 플로팅 도전 패턴 사이의 게이트 산화막은 250 내지 300nm 두께인 것을 특징으로 하는 MOSFET 소자.

청구항 3

제1 항에 있어서,

상기 반도체 기관 및 상기 제1 게이트 패턴 및 제2 게이트 패턴은 제1 도전형이며, 상기 플로팅 도전 패턴은 제2 도전형인 것을 특징으로 하는 MOSFET 소자.

청구항 4

제1 항에 있어서,

상기 반도체 기관은 하부에 드레인 메탈 라인을 더 포함하고, 상기 제1 게이트 패턴, 플로팅 도전 패턴 및 제2 게이트 패턴이 형성된 전체 상부에 상기 베이스 영역과 접촉하는 소스 메탈 라인을 더 포함하는 것을 특징으로 하는 MOSFET 소자.

청구항 5

제1 항에 있어서,

상기 제1 게이트 패턴의 일측은 상기 베이스 영역의 일측과 일직선상에 위치하도록 구비되며, 상기 제2 게이트 패턴의 타측은 상기 베이스 영역 타측과 일직선상에 위치하도록 구비되는 것을 특징으로 하는 MOSFET 소자.

청구항 6

반도체 기관 상부에 드리프트층을 형성하는 단계;

상기 드리프트층 내에 베이스 영역을 형성하고, 상기 베이스 영역 상단에 소스 영역을 형성하는 단계;
 상기 베이스 영역 및 소스 영역이 형성된 상기 드리프트층 상부에 게이트 도전 물질을 증착하는 단계;
 상기 게이트 도전 물질을 식각하여 상기 드리프트층의 상기 베이스 영역과 중첩되는 제1 게이트 패턴 및 제2 게이트 패턴을 형성하는 단계; 및
 상기 제1 게이트 패턴 및 상기 제2 게이트 패턴들 사이의 상기 드리프트층 상에 상기 제1 게이트 패턴 및 상기 제2 게이트 패턴들과 소정 거리 이격된 플로팅 도전 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 MOSFET 소자의 제조 방법.

청구항 7

제6 항에 있어서,
 상기 제1 게이트 패턴, 플로팅 도전 패턴 및 상기 제2 게이트 패턴의 양측면 및 하부면에 게이트 산화막을 형성하는 단계를 더 포함하며, 상기 제1 게이트 패턴, 상기 제2 게이트 패턴과 상기 플로팅 도전 패턴 사이의 게이트 산화막은 250 내지 300nm 두께인 것을 특징으로 하는 MOSFET 소자의 제조 방법.

청구항 8

제6 항에 있어서,
 상기 반도체 기판 및 상기 제1 게이트 패턴 및 제2 게이트 패턴은 제1 도전형이며, 상기 플로팅 도전 패턴은 제2 도전형인 것을 특징으로 하는 MOSFET 소자의 제조 방법.

청구항 9

제6 항에 있어서,
 상기 반도체 기판은 하부에 드레인 메탈 라인을 형성하는 단계를 더 포함하고,
 상기 제1 게이트 패턴, 플로팅 도전 패턴 및 제2 게이트 패턴이 형성된 전체 상부에 절연막을 형성하는 단계;
 상기 절연막을 식각하여 상기 베이스 영역을 오픈시키는 절연막 패턴을 형성하는 단계; 및
 상기 절연막 패턴을 포함하는 전체 상부에 상기 베이스 영역과 접촉하는 소스 메탈 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 MOSFET 소자의 제조 방법.

청구항 10

제6 항에 있어서,
 상기 제1 게이트 패턴의 일측은 상기 베이스 영역의 일측과 일직선상에 위치하도록 구비되며, 상기 제2 게이트 패턴의 타측은 상기 베이스 영역 타측과 일직선상에 위치하도록 구비되는 것을 특징으로 하는 MOSFET 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 MOSFET 소자 및 그 제조 방법에 관한 것으로, 보다 상세하게는 분리된 게이트 패턴들 사이에 플로팅 도전 패턴을 형성하여 기생 캐패시턴스를 감소시킴과 동시에 소자의 정적 특성 저하를 방지하는 MOSFET 소자 및 그 제조 방법에 관한 것이다.

배경 기술

- [0003] 4H 탄화규소(4H-SiC)는 대표적인 와이드 밴드 갭(wide bandgap) 물질로 실리콘에 비해 높은 항복 전압, 낮은 온저항과 높은 열 전도성을 갖는다. 이를 통해 고전압 파워를 사용했을 때 큰 이점을 얻을 수 있다. 그 중 SiC 플래너 MOSFET은 기존에 인버터, 컨버터로 사용되는 실리콘 IGBT에 비해 스위칭 동작시에 낮은 에너지 손실과 작은 칩 사이즈, 우수한 고온 특성 등을 보인다. 3.3 kV 급 SiC 플래너 MOSFET은 상용화된 가장 높은 전압 레벨의 소자로서 컨버터(converter)나 트랙션 드라이브(traction drive) 등으로 사용되고 이와 관련된 많은 연구가 진행되고 있다. 특히 SiC MOSFET에서 중요한 특성으로는 낮은 온저항, 높은 항복 전압, 낮은 기생 캐패시턴스, 낮은 게이트 산화막의 전계, 낮은 스위칭 에너지 손실 등이 있다.
- [0004] 한국공개특허 제10-2018-0020244호는 메모리 디바이스로서, 실리콘 반도체 기판; 상기 실리콘 반도체 기판에 형성되고 채널 영역이 사이에 있는 이격된 소스 영역과 드레인 영역; 상기 채널 영역의 제1 부분 및 상기 소스 영역의 제1 부분 위에 배치되면서 그들로부터 절연되는 전도성 플로팅 게이트; 전도성 소거 게이트 - 상기 전도성 소거 게이트는, 상기 플로팅 게이트에 측방향으로 인접하면서 그로부터 절연되고, 상기 소스 영역 위에 있으면서 그로부터 절연 되는 제1 부분, 및 위로 연장되어 상기 플로팅 게이트 위로 연장되면서 그로부터 절연되는 제2 부분을 포함함; 및 상기 채널 영역의 제2 부분 위에 배치되면서 그로부터 절연되는 전도성 워드 라인 게이트 - 상기 워드 라인 게이트는 상기 플로팅 게이트에 측방향으로 인접하게 배치되고, 상기 플로팅 게이트 위에 배치되는 부분을 포함하지 않음을 포함하고, 상기 채널 영역의 제2 부분으로부터 상기 워드 라인 게이트를 분리시키는 절연부의 두께는 상기 소거 게이트로부터 상기 플로팅 게이트를 분리시키는 절연부의 두께보다 더 작은 메모리 디바이스를 포함하는 것을 특징으로 한다.
- [0005] 한국공개특허 10-2004-0082019호는 국부적 SONOS형 구조체에 관한 것으로, 기판, 상기 기판 위의ONO구조체, 상기 ONO구조체 위에서 상기 ONO구조체에 정렬되는 제1 게이트막, 상기 기판 위에서 상기 ONO구조체 옆에 배치되는 게이트절연막, 및 상기 제1 게이트막 및 게이트절연막 위에 형성되며 상기 제1 게이트막과는 전기적으로 연결되는 제2 게이트막을 구비하며, 상기 ONO구조체, 제1 게이트막 및 제2 게이트막이 적어도 한 비트의 국부적 SONOS형 구조체를 한정하는 것을 특징으로 한다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 한국공개특허 제10-2018-0020244호
(특허문헌 0002) 한국공개특허 제10-2004-0082019호

발명의 내용

해결하려는 과제

- [0008] 본 발명의 일 실시예는 분리된 게이트 패턴들 사이에 플로팅 도전 물질을 형성함으로써, 온 상태(on state) 동작 시 축적층을 형성하여 플래너 게이트 타입 MOSFET 소자와 비슷한 온저항 특성을 갖도록 하여 소자의 정적 특성을 향상시키는 MOSFET 소자 및 그 제조 방법을 제공하고자 한다.
- [0009] 본 발명의 일 실시예는 분리된 게이트 패턴들 사이에 플로팅 도전 물질을 형성함으로써, 오프 상태(off state) 동작 시 분리된 게이트 산화막에 전계가 집중되는 현상을 감소시키고, 플로팅 도전 패턴이 플래너 게이트 타입 MOSFET 소자의 필드 플레이트(field plate) 역할을 하도록하여 항복 전압을 상승시키는 MOSFET 소자 및 그 제조 방법을 제공하고자 한다.
- [0010] 본 발명의 일 실시예는 기생 캐패시턴스를 감소시킴과 동시에 온 저항 및 항복 전압과 같은 정적 특성의 저하를 방지하는 MOSFET 소자 및 그 제조 방법을 제공하고자 한다.

과제의 해결 수단

- [0012] 본 발명의 일 실시예에 따른 MOSFET 소자는 반도체 기판 상에 구비된 드리프트층과, 상기 드리프트층 상부에 구비되며, 서로 일정 간격 이격되어 배치된 제1 게이트 패턴 및 제2 게이트 패턴과, 상기 제1 게이트 패턴 및 상기 제2 게이트 패턴들 사이의 상기 드리프트층 상에 구비되며, 상기 제1 게이트 패턴 및 상기 제2 게이트 패턴들과 전기적으로 분리된 플로팅 도전 패턴과, 상기 드리프트층 내에 상기 제1 게이트 패턴 및 상기 제2 게이트 패턴과 오버랩되도록 구비된 베이스 영역과, 상기 베이스 영역 상단부에 위치한 소스 영역을 포함하는 것을 특징으로 한다.
- [0013] 상기 제1 게이트 패턴, 플로팅 도전 패턴 및 상기 제2 게이트 패턴의 양측면 및 하부면에 게이트 산화막을 더 포함하며, 상기 제1 게이트 패턴, 상기 제2 게이트 패턴과 상기 플로팅 도전 패턴 사이의 게이트 산화막은 250 내지 300nm 두께인 것을 특징으로 한다.
- [0014] 상기 반도체 기판 및 상기 제1 게이트 패턴 및 제2 게이트 패턴은 제1 도전형이며, 상기 플로팅 도전 패턴은 제2 도전형인 것을 특징으로 한다.
- [0015] 상기 반도체 기판은 하부에 드레인 메탈 라인을 더 포함하고, 상기 제1 게이트 패턴, 플로팅 도전 패턴 및 제2 게이트 패턴이 형성된 전체 상부에 상기 베이스 영역과 접촉하는 소스 메탈 라인을 더 포함하는 것을 특징으로 한다.
- [0016] 상기 제1 게이트 패턴의 일측은 상기 베이스 영역의 일측과 일직선상에 위치하도록 구비되며, 상기 제2 게이트 패턴의 타측은 상기 베이스 영역 타측과 일직선상에 위치하도록 구비되는 것을 특징으로 한다.
- [0017] 본 발명의 일 실시예에 따른 MOSFET 소자의 제조 방법은 반도체 기판 상부에 드리프트층을 형성하는 단계와, 상기 드리프트층 내에 베이스 영역을 형성하고, 상기 베이스 영역 상단에 소스 영역을 형성하는 단계와, 상기 베이스 영역 및 소스 영역이 형성된 상기 드리프트층 상부에 게이트 도전 물질을 증착하는 단계와, 상기 게이트 도전 물질을 식각하여 상기 드리프트층의 상기 베이스 영역과 중첩되는 제1 게이트 패턴 및 제2 게이트 패턴을 형성하는 단계와, 상기 제1 게이트 패턴 및 상기 제2 게이트 패턴들 사이의 상기 드리프트층 상에 상기 제1 게이트 패턴 및 상기 제2 게이트 패턴들과 소정 거리 이격된 플로팅 도전 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0018] 상기 제1 게이트 패턴, 플로팅 도전 패턴 및 상기 제2 게이트 패턴의 양측면 및 하부면에 게이트 산화막을 형성하는 단계를 더 포함하며, 상기 제1 게이트 패턴, 상기 제2 게이트 패턴과 상기 플로팅 도전 패턴 사이의 게이트 산화막은 250 내지 300nm 두께인 것을 특징으로 한다.
- [0019] 상기 반도체 기판 및 상기 제1 게이트 패턴 및 제2 게이트 패턴은 제1 도전형이며, 상기 플로팅 도전 패턴은 제2 도전형인 것을 특징으로 한다.
- [0020] 상기 반도체 기판은 하부에 드레인 메탈 라인을 형성하는 단계를 더 포함하고, 상기 제1 게이트 패턴, 플로팅 도전 패턴 및 제2 게이트 패턴이 형성된 전체 상부에 절연막을 형성하는 단계와, 상기 절연막을 식각하여 상기 베이스 영역을 오픈시키는 절연막 패턴을 형성하는 단계와, 상기 절연막 패턴을 포함하는 전체 상부에 상기 베이스 영역과 접촉하는 소스 메탈 라인을 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- [0021] 상기 제1 게이트 패턴의 일측은 상기 베이스 영역의 일측과 일직선상에 위치하도록 구비되며, 상기 제2 게이트 패턴의 타측은 상기 베이스 영역 타측과 일직선상에 위치하도록 구비되는 것을 특징으로 하는 특징으로 한다.

[0022]

발명의 효과

- [0023] 개시된 기술은 다음의 효과를 가질 수 있다. 다만, 특정 실시예가 다음의 효과를 전부 포함하여야 한다거나 다음의 효과만을 포함하여야 한다는 의미는 아니므로, 개시된 기술의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.
- [0024] 본 발명의 일 실시예에 따른 MOSFET 소자 및 그 제조 방법은 분리된 게이트 패턴들 사이에 플로팅 도전 물질을 형성함으로써, 온 상태(on state) 동작 시 축적층을 형성하여 플래너 게이트 타입 MOSFET 소자와 비슷한 온저항 특성을 갖도록 하여 소자의 정적 특성을 향상시키는 효과가 있다.
- [0025] 본 발명의 일 실시예에 따른 MOSFET 소자 및 그 제조 방법은 분리된 게이트 패턴들 사이에 플로팅 도전 물질을

형성함으로써, 오프 상태(off state) 동작 시 분리된 게이트 산화막에 전계가 집중되는 현상을 감소시키고, 플로팅 도전 패턴이 플래너 게이트 타입 MOSFET 소자의 필드 플레이트(field plate) 역할을 하도록하여 항복 전압을 상승시키는 효과가 있다.

[0026] 본 발명의 일 실시예에 따른 MOSFET 소자 및 그 제조 방법은 기생 캐패시턴스를 감소시킴과 동시에 온 저항 및 항복 전압과 같은 정적 특성의 저하를 방지하는 효과가 있다.

도면의 간단한 설명

[0028] 도 1은 분리 게이트 타입 MOSFET 소자를 도시한 단면도이다.
 도 2는 본 발명의 일 실시예에 따른 MOSFET 소자를 도시한 단면도이다.
 도 3a 내지 3j는 본 발명의 일 실시예에 따른 MOSFET 소자의 제조 방법을 도시한 단면도이다.
 도 4는 분리 게이트 타입 MOSFET 소자의 특성을 도시한 도면이다.
 도 5는 다양한 게이트 타입 MOSFET 소자의 전류 밀도 특성을 도시한 도면이다.
 도 6은 다양한 게이트 타입 MOSFET 소자의 전위 분포를 도시한 도면이다.
 도 7은 다양한 게이트 타입 MOSFET 소자의 전계 분포를 도시한 도면이다.
 도 8은 다양한 게이트 타입 MOSFET 소자의 기생 캐패시턴스(C_{GD}) 특성을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다. 또한, 본 발명에서 제시된 목적 또는 효과는 특정 실시예가 이를 전부 포함하여야 한다거나 그러한 효과만을 포함하여야 한다는 의미는 아니므로, 본 발명의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0030] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0031] "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0032] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결될 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다고 언급된 때에는 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 한편, 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0033] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이며, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0034] 각 단계들에 있어 식별부호(예를 들어, a, b, c 등)는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.

[0035] 본 발명은 컴퓨터가 읽을 수 있는 기록매체에 컴퓨터가 읽을 수 있는 코드로서 구현될 수 있고, 컴퓨터가 읽을 수 있는 기록 매체는 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록 장치를 포함한다. 컴퓨터가 읽을 수 있는 기록 매체의 예로는 ROM, RAM, CD-ROM, 자기 테이프, 플로피 디스크, 광 데이터

저장 장치 등이 있다. 또한, 컴퓨터가 읽을 수 있는 기록 매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어, 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다.

- [0036] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.
- [0038] 일반적으로 MOSFET 소자의 스위칭(switching) 동작 시 스위칭 에너지에 가장 많은 영향을 주는 항목은 게이트-드레인 기생 캐패시턴스(C_{gd})이다. 따라서 기생 캐패시턴스를 감소시킬 수 있는 다양한 MOSFET 구조들이 제안, 연구되어 왔다. 그 중 플래너(planar) 게이트 타입 MOSFET 소자의 기생 캐패시턴스를 감소시킬 수 있는 방법 중 하나는 분리 게이트(Split gate) 타입 MOSFET(SG-MOSFET)소자이다.
- [0039] 도 1은 분리 게이트 타입 MOSFET 소자를 도시한 단면도이다.
- [0040] 도 1을 참조하면, 하부에 드레인 메탈 라인(100)을 포함하는 반도체 기판(105)이 구비된다. 반도체 기판(105) 상부에 드리프트층(110)이 구비된다. 드리프트층(110)은 반도체 기판(105)과 동일한 n타입으로 형성될 수 있다. 드리프트층(110) 상부에 게이트 산화막(125) 및 게이트 전극(130)이 구비된다. 게이트 전극(130)은 중앙부가 분리되어 서로 일정 간격 이격된 형태의 게이트 패턴들로 구성된다.
- [0041] 게이트 전극(130)과 일부 중첩된 드리프트층(110) 내에 베이스 영역(115) 및 소스 영역(120)이 구비된다. 베이스 영역(115) 상단에는 채널 영역(115a)가 구비된다. 베이스 영역(115)은 p타입 불순물로 도핑 될 수 있으며, 소스 영역(120)은 n타입 불순물로 도핑 될 수 있다.
- [0042] 게이트 산화막(125) 및 게이트 전극(130) 측벽과 상부에 베이스 영역(115)이 오픈되는 절연막 패턴(135)이 구비된다. 절연막 패턴(135)을 포함한 전체 상부에 소스 메탈 라인(140)이 구비된다.
- [0043] 이와 같이, 분리된 게이트 패턴을 포함하는 MOSFET 소자는 게이트의 길이를 감소시켜 게이트와 드레인 간의 중첩되는 영역을 줄일 수 있으며, 이는 기생 캐패시턴스가 감소되는 효과를 얻을 수 있다. 이러한 분리 게이트 타입 MOSFET 소자는 기생 캐패시턴스가 감소되는 효과는 얻을 수 있으나, 게이트 산화막에 높은 전계가 집중되어 신뢰성이 저하될 수 있으며, 높은 온 저항과 낮은 항복 전압으로 소자의 정적 특성이 저하될 수 있다.
- [0045] 본 발명은 분리 게이트 타입 MOSFET 소자의 신뢰성 및 정적 특성의 저하를 방지하기 위해 분리된 두 게이트 패턴들 사이에 플로팅 도전 패턴을 형성한 FPS-MOSFET (floating P+ polysilicon integrated split gate MOSFET) 구조를 제안하고자 한다.
- [0047] 도 2는 본 발명의 일 실시예에 따른 MOSFET 소자를 도시한 단면도이다.
- [0048] 도 2를 참조하면, 하부에 드레인 메탈 라인(200)을 포함하는 반도체 기판(205)이 구비된다.
- [0049] 드레인 메탈 라인(200)은 전기적으로 반도체 기판(205)과 접속된다. 이때, 드레인 메탈 라인(200)은 전극으로 사용되는 공지된 도전성 물질일 수 있다. 예컨대, 드레인 메탈 라인(200)은 In, Co, Si, Ge, Au, Pd, Pt, Ru, Re, Mg, Zn, Hf, Ta, Rh, Ir, W, Ti, Ag, Cr, Mo, Nb, Al, Ni, Cu, 또는 WTi 일 수 있으나 이에 한정되지 아니한다. 또한, 반도체 기판(205)은 제1 도전형을 가지며, 제1 도전형은 n타입일 수 있다.
- [0050] 반도체 기판(205) 상부에 드리프트층(210)이 구비된다. 드리프트층(210)은 반도체 기판(205)으로부터 에피택셜 성장(Epitaxy Growth) 방법을 통해 형성된다. 드리프트층(210)은 반도체 기판(205)과 동일한 제1 도전형을 가지며, 바람직하게는 n타입으로 형성될 수 있다. 드리프트층(210)은 반도체 기판(205)에 비하여 낮은 도핑 농도를 갖는다. 드리프트층(210)은 반도체 소자의 항복 전압을 결정짓는 역할을 한다.
- [0051] 드리프트층(210) 상부에 분리된 제1 게이트 패턴(220) 및 제2 게이트 패턴(225)이 구비된다. 제1 게이트 패턴(220) 및 제2 게이트 패턴(225)은 일정 간격 이격되어 배치된다. 제1 게이트 패턴(220) 및 제2 게이트 패턴(225)은 제1 도전형 폴리실리콘으로 형성되며, 바람직하게는 n타입으로 형성될 수 있다. 제1 게이트 패턴(220) 및 제2 게이트 패턴(225) 하부에는 게이트 산화막(215)이 구비된다.

- [0052] 그리고, 제1 게이트 패턴(220) 및 제2 게이트 패턴(225)들 사이의 드리프트층(210) 상에 플로팅 도전 패턴(230)이 구비된다. 플로팅 도전 패턴(230)은 제2 도전형 폴리실리콘으로 형성되며, 바람직하게는 p타입으로 형성될 수 있다. 플로팅 도전 패턴(230)은 게이트, 소스 및 드레인등 어떤 바이어스 전압에도 인가되지 않은 상태로 형성된다. 여기서, 플로팅 도전 패턴(230)은 제1 게이트 패턴(220) 및 제2 게이트 패턴(225)과 250 내지 300nm의 간격으로 이격되도록 구비되며, 플로팅 도전 패턴(230)과 게이트 패턴(220) 및 제2 게이트 패턴(225) 사이는 절연막을 통해 전기적으로 분리된다.
- [0053] 또한, 드리프트층(205) 내에 제1 게이트 패턴(220) 및 제2 게이트 패턴(225)과 오버랩되는 베이스 영역(235)이 구비된다. 베이스 영역(235)은 채널 영역(235a)을 포함하며, 베이스 영역(235) 상단에 소스 영역(240)이 구비된다. 이때, 베이스 영역(235)은 제2 도전형을 가지며, 소스 영역(240)은 제1 도전형을 갖는다. 즉, 제1 도전형이 n타입일 때, 베이스 영역(235)은 p타입 불순물로 도핑 될 수 있으며, 소스 영역(240)은 n타입 불순물로 도핑 될 수 있다. 베이스 영역(235)은 메탈 라인과 저항성 접촉을 형성하며 드레인 전압에 의해 리치 스로우(reach through)를 방지한다.
- [0054] 제1 게이트 패턴(220) 및 제2 게이트 패턴(225)은 드리프트층(205)과 중첩되는 부분의 길이(L_{SG})가 최소화되는 구조로 형성하는 것이 바람직하며, 더욱 바람직하게는 제1 게이트 패턴(220)의 일측은 베이스 영역(235)의 일측과 일직선상에 위치하고, 제2 게이트 패턴(225)의 타측은 베이스 영역(235) 타측과 일직선상에 위치하도록 한다. 제1 게이트 패턴(220) 및 제2 게이트 패턴(225)이 드리프트층(205)과 중첩되는 길이를 최소화시킴으로써, 기생 캐패시턴스의 감소효과를 극대화할 수 있다.
- [0055] 제1 게이트 패턴(220) 및 제2 게이트 패턴(225)의 상부 및 측벽에 절연막 패턴(245)이 형성되고, 절연막 패턴(245)이 형성된 전체 상부에 소스 메탈 라인(250)이 구비된다. 소스 메탈 라인(250)은 전극으로 사용되는 공지된 도전성 물질일 수 있다. 예컨대, 소스 메탈 라인(250)은 In, Co, Si, Ge, Au, Pd, Pt, Ru, Re, Mg, Zn, Hf, Ta, Rh, Ir, W, Ti, Ag, Cr, Mo, Nb, Al, Ni, Cu, 또는 WTi 일 수 있으나 이에 한정되지 아니한다.
- [0056] 이와 같이, 분리된 형태의 제1 게이트 패턴(220) 및 제2 게이트 패턴(225) 사이에 플로팅 도전 패턴(230)을 형성함으로써, 기생 캐패시턴스의 감소를 극대화함과 동시에 온저항 및 항복전압의 특성 저하를 최소화시키는 효과를 얻을 수 있다.
- [0058] 도 3a 내지 3j는 본 발명의 일 실시예에 따른 MOSFET 소자의 제조 방법을 도시한 단면도이다.
- [0059] 도 3a를 참조하면, 제1 도전형의 반도체 기판(300)이 구비된다. 제1 도전형은 n타입일 수 있다.
- [0060] 이어서, 반도체 기판(300) 상부에 드리프트층(310)을 형성한다. 드리프트층(310)은 반도체 기판(300)으로부터 에피택셜 성장(Epitaxy Growth) 방법으로 형성할 수 있다. 드리프트층(310)은 반도체 기판(300)과 동일한 제1 도전형을 가지며, 바람직하게는 n타입으로 형성될 수 있다. 드리프트층(310)은 반도체 기판(300)에 비해 낮은 도핑 농도를 갖는다. 드리프트층(310)은 반도체 소자의 항복 전압을 결정짓는 역할을 한다.
- [0061] 드리프트층(310) 상부에 베이스 영역을 오픈시키는 제1 마스크 패턴(315)을 형성한다. 제1 마스크 패턴(315)은 포토리소그래피(Photolithography) 또는 e-빔 리소그래피(E-beam Lithography) 공정을 통하여 패턴 형성된 산화물층일 수 있으나 이에 한정되는 것은 아니다. 제1 마스크 패턴(315)을 마스크로 이온 주입 공정을 진행하여 드리프트층(310) 내에 베이스 영역(320)을 형성한다.
- [0062] 드리프트층(310) 표면의 베이스 영역(320) 내에는 농도가 낮은 채널 영역(320a)이 형성된다. 드리프트층(310) 표면으로부터 깊이가 깊어지면서 이온 주입 농도가 높아지며, 베이스 영역(320) 하단부는 다시 이온 주입 농도가 낮아진다. 즉, 베이스 영역(320)의 상단부 및 하단부는 베이스 영역(320)의 중앙부보다 낮은 농도로 형성된다.
- [0063] 베이스 영역(320)을 형성하기 위한 이온 주입 공정이 완료된 후 제1 마스크 패턴(315)을 제거한다.
- [0064] 도 3b를 참조하면, 드리프트층(310) 상부에 소스 영역을 오픈하는 제2 마스크 패턴(325)을 형성한다. 제2 마스크 패턴(325)을 마스크로 이온 주입 공정을 진행하여 베이스 영역(320) 상단부에 일정 깊이의 소스 영역(330)을 형성한다. 베이스 영역(320)은 제2 도전형을 가지며, 소스 영역(330)은 제1 도전형을 갖는다. 즉, 제1 도전형이 n타입일 때, 베이스 영역(320)은 p타입 불순물로 도핑 될 수 있으며, 소스 영역(330)은 n타입 불순물로 도핑 될 수 있다.

- [0065] 소스 영역(330)을 형성하기 위한 이온 주입 공정이 완료된 후 제2 마스크 패턴(325)을 제거한다.
- [0066] 도 3c를 참조하면, 베이스 영역(320) 및 소스 영역(330)이 형성된 드리프트층(310) 표면에 게이트 산화막(335)을 형성한다. 게이트 산화막(335)은 열산화 공정을 통해 형성할 수 있으나 이에 한정되는 것은 아니며, 공지된 절연 물질을 열증착, 전자빔 증착, 스퍼터링, 화학기상증착(Chemical Vapor Deposition), 원자층 증착(Atomic Layer Deposition) 방법 등을 이용하여 형성할 수 있다.
- [0067] 이어서, 게이트 산화막(335) 상부에 게이트 도전물질(340)을 형성한다. 게이트 도전물질(340)은 제1 도전형 폴리실리콘층으로 형성하며, 제1 도전형은 n타입인 것이 바람직하다. 게이트 도전물질(340)은 실리콘계 물질(폴리실리콘, 비정질실리콘 등)이나 금속 물질 등으로 형성할 수 있다.
- [0068] 도 3d를 참조하면, 게이트 도전물질(340) 상부에 베이스 영역(320)들 사이의 드리프트층(310)을 오픈하는 제3 마스크 패턴(미도시)을 형성하고, 이를 마스크로 게이트 도전물질(340)을 비등방성 식각하여 분리된 형태의 제1 게이트 패턴(345) 및 제2 게이트 패턴(350)을 형성한다. 이후, 제3 마스크 패턴(미도시)을 제거한다. 제1 게이트 패턴(345) 및 제2 게이트 패턴(350)은 각각 베이스 영역(320) 및 소스 영역(330)과 중첩되도록 형성된다. 제1 게이트 패턴(345) 일측은 베이스 영역(320)의 일측과 일직선상에 위치되도록 형성하고, 제2 게이트 패턴(350)의 타측은 베이스 영역(320) 타측과 일직선상에 위치되도록 형성한다. 즉, 제1 게이트 패턴(345) 및 제2 게이트 패턴(350)이 드리프트층(310)과 오버랩되지 않도록 한다. 그러나, 반드시 이에 한정하지는 않으며 제1 게이트 패턴(345) 및 제2 게이트 패턴(350)이 드리프트층(310)과 오버랩되는 길이가 최소화되도록 설계하여 식각한다.
- [0069] 도 3e를 참조하면, 제1 게이트 패턴(345) 및 제2 게이트 패턴(350)을 포함하는 전체 상부에 제1 절연막(355)을 형성한다. 제1 절연막(355)은 산화막으로 형성할 수 있다.
- [0070] 도 3f를 참조하면, 제1 절연막(355) 상부에 제1 게이트 패턴(345) 및 제2 게이트 패턴(350)들 사이의 드리프트층(310)을 오픈하는 제4 마스크 패턴(미도시)을 형성한다. 이때, 제4 마스크 패턴은 제1 게이트 패턴(345) 일측 및 제2 게이트 패턴(350) 타측의 제1 절연막(355)과 일부 오버랩되도록 형성된다. 이후, 제4 마스크 패턴을 식각 마스크로 제1 절연막(355) 및 게이트 산화막(335)을 식각하여 드리프트층(310)을 노출시킨다. 제1 게이트 패턴(345) 일측 및 제2 게이트 패턴(350) 타측은 약 250 내지 300nm의 제1 절연막(355)이 남겨지도록 하는 것이 바람직하다. 이어서, 제4 마스크 패턴을 제거한다.
- [0071] 도 3g를 참조하면, 노출된 드리프트층(310) 표면에 게이트 산화막(360)을 추가 증착한다. 게이트 산화막(360)은 열산화 공정을 통해 형성할 수 있으며, 제1 게이트 패턴(345) 및 제2 게이트 패턴(350) 하부의 게이트 산화막(335)과 동일한 두께로 형성하는 것이 바람직하다.
- [0072] 도 3h를 참조하면, 식각된 제1 절연막(355) 및 게이트 산화막(360)을 포함하는 전체 상부에 제2 도전형 도전물질을 형성하고, 제1 절연막(355)이 노출될때까지 에치 백(etch back) 공정을 진행하여 제1 게이트 패턴(345) 및 제2 게이트 패턴(350) 사이에 플로팅 도전 패턴(365)을 형성한다. 제2 도전형 물질은 p타입 폴리실리콘으로 형성할 수 있으며, 플로팅 도전 패턴(365)은 소스, 드레인, 게이트등 어떤 바이어스 전압에도 인가되지 않는다.
- [0073] 도 3i를 참조하면, 제1 절연막(355) 및 플로팅 도전 패턴(365)을 포함하는 전체 상부에 제2 절연막(370)을 형성한다. 제2 절연막(370)을 식각하여 베이스 영역(320)이 노출되는 콘택 영역을 형성한다.
- [0074] 도 3j를 참조하면, 반도체 기판(300) 하부에 드레인 메탈 라인(375)을 형성하고, 콘택 영역을 포함하는 제2 절연막(370) 상부에 소스 메탈 라인(380)을 형성한다. 드레인 메탈 라인(375)은 반도체 기판(300)의 후면이 상부면이 되도록 한 후 도전성 물질을 증착하여 형성할 수 있다. 드레인 메탈 라인(375) 및 소스 메탈 라인(380)은 전극으로 사용되는 공지된 도전성 물질일 수 있다. 예컨대, 드레인 메탈 라인(375) 및 소스 메탈 라인(380)은 In, Co, Si, Ge, Au, Pd, Pt, Ru, Re, Mg, Zn, Hf, Ta, Rh, Ir, W, Ti, Ag, Cr, Mo, Nb, Al, Ni, Cu, 또는 WTi 일 수 있으나 이에 한정되지 아니한다.
- [0075] 이와 같이, 분리된 형태의 제1 게이트 패턴(345) 및 제2 게이트 패턴(350) 사이에 플로팅 도전 패턴(365)을 형성함으로써, 기생 캐패시턴스의 감소를 극대화함과 동시에 온저항 및 항복전압의 특성 저하를 최소화시키는 효과를 얻을 수 있다.
- [0077] 도 4는 분리 게이트 타입 MOSFET 소자의 특성을 도시한 도면이다.

- [0078] 먼저, 도 4(a)는 분리 게이트 타입 MOSFET 소자 특성에 가장 큰 영향을 주는 L_{SG} 를 나타낸다. L_{SG} 는 도 4(a)에 도시된 바와 같이 게이트 전극(400)과 드리프트층(405)이 오버랩된 정도를 나타낸 것이다.
- [0079] 도 4(b)를 참조하여 L_{SG} 와 소자 특성 사이의 관계를 설명하면 다음과 같다. 게이트 전극(400)과 드리프트층(405)이 오버랩된 길이(L_{SG})가 감소할수록 기생 캐패시턴스(C_{GD})는 감소되는 효과를 얻을 수 있으나, 항복전압(Breakdown Voltage)이 감소하고, 온 저항(R_{ON})이 급격하게 증가하는 것을 알 수 있다. 이로 인해 분리 게이트 타입 MOSFET 구조에서는 온 저항과 항복 전압의 특성 저하를 고려해야 하므로 L_{SG} 를 충분히 줄일 수 없다.
- [0080]
- [0081] 도 5는 다양한 게이트 타입 MOSFET 소자의 전류 밀도 특성을 도시한 도면으로, 도 5(a)는 플래너 게이트 타입 MOSFET 소자, 도 5(b)는 분리 게이트 타입 MOSFET 소자, 도 5(c)는 본 발명의 일 실시예에 따른 분리된 게이트들 사이에 플로팅 도전패턴을 포함하는 MOSFET 소자의 전류 밀도를 도시한 것이다.
- [0082] 도 5를 참조하면, 도 5(b)의 분리된 게이트들 사이에 축적층(accumulation layer)이 형성되지 않아 'A'와 같이 게이트가 단절된 부분의 전류 밀도가 감소한다. 이에 따라 온 저항이 도 5(a)의 플래너 게이트 타입 MOSFET에 비해 증가하게 된다. 이에 비하여 도 5(c)와 같이 분리된 게이트들 사이에 p+ 폴리실리콘인 플로팅 도전 패턴(500)을 배치하면, 플로팅 도전 패턴으로 인해 온 저항의 저하없이 온 동작을 수행할 수 있다. 즉, 분리된 게이트 구조로 인해 기생 캐패시턴스를 감소시킴과 동시에 플로팅 도전 패턴으로 온 저항의 특성 저하를 방지하는 효과를 얻을 수 있다.
- [0084] 도 6은 다양한 게이트 타입 MOSFET 소자의 전위 분포를 도시한 도면으로, 도 6(a)는 플래너 게이트 타입 MOSFET 소자, 도 6(b)는 분리된 게이트 타입 MOSFET 소자, 도 6(c)는 본 발명의 일 실시예에 따른 분리된 게이트들 사이에 플로팅 도전패턴을 포함하는 MOSFET 소자의 오프 상태(off-state) 전위 분포를 도시한 것이다.
- [0085] 도 6(a)를 참조하면, 플래너 게이트 타입 MOSFET 소자는 활성 게이트가 모두 0V의 전위를 유지하므로 드레인 전압을 분산시켜 더 높은 항복 전압을 얻을 수 있다. 반면에 도 6(b)를 참조하면, 분리 게이트 타입 MOSFET 소자는 높은 드레인 전압에 의해 활성 게이트가 없는 중앙 부분에서 전위가 상승한 것을 알 수 있다. 이는 그라운드된 활성 게이트에 전압이 집중된 것을 의미하며 이로 인해 p-베이스 영역과 n-드리프트층의 접합부에서 조기 항복(early breakdwon)을 유발한다.
- [0086] 도 6(c)를 참조하면, 분리된 게이트들 사이에 형성된 플로팅 도전패턴에 의해 전압이 분산된 것을 알 수 있다. 따라서, 도 6(c)의 구조에서는 항복 전압의 저하없이 소자 특성을 유지시켜줄 수 있다.
- [0088] 도 7은 다양한 게이트 타입 MOSFET 소자의 전계 분포를 도시한 도면으로, 도 7(a)는 플래너 게이트 타입 MOSFET 소자, 도 7(b)는 분리 게이트 타입 MOSFET 소자, 도 7(c)는 본 발명의 일 실시예에 따른 분리된 게이트들 사이에 플로팅 도전패턴을 포함하는 MOSFET 소자의 오프 상태(off-state) 전계(electric filed) 분포를 도시한 것이다.
- [0089] 도 7(a) 및 도 7(c)를 참조하면, 드레인 전압이 분산되어 전계가 고르게 분포된 것을 알 수 있다. 이때, 도 7(c)에 나타난 바와 같이 최대 전계 전압(2.1MV/cm)은 도 7(b)에 나타난 최대 전계 전압과 달리 도 7(a)와 비슷한 수준으로 형성되어 있는 것을 알 수 있다. 즉, 도 7(c)에 도시된 플로팅 도전 패턴을 포함하는 MOSFET 소자는 좀 더 높은 신뢰성 특성을 갖는 것을 알 수 있다.
- [0091] 도 8은 다양한 게이트 타입 MOSFET 소자의 기생 캐패시턴스(C_{GD}) 특성을 나타낸 도면이다.
- [0092] 도 8을 참조하면, 분리 게이트 타입 MOSFET 소자는 L_{SG} 값이 감소됨에 따라 정적 특성이 급격하게 저하되는 특징이 있다. 그러나, 본 발명의 일 실시예와 같이 분리된 게이트들 사이에 플로팅 도전 패턴을 형성하면 플로팅 도전 패턴의 p+ 폴리실리콘으로 인해 정적 특성의 저하를 방지하고 분리된 게이트 구조의 목표였던 기생 캐패시턴스의 감소효과도 극대화할 수 있다.

[0093] 도 8에서와 같이 플로팅 도전 패턴을 포함하는 MOSFET 소자(FPS-MOSFET)가 다른 두 소자에 비해 매우 낮은 기생 캐패시턴스를 갖는 것을 확인할 수 있으며, 이는 소자의 스위칭시 스위칭 딜레이 시간을 줄이고 스위칭 에너지 손실을 줄일 수 있는 효과도 얻을 수 있다.

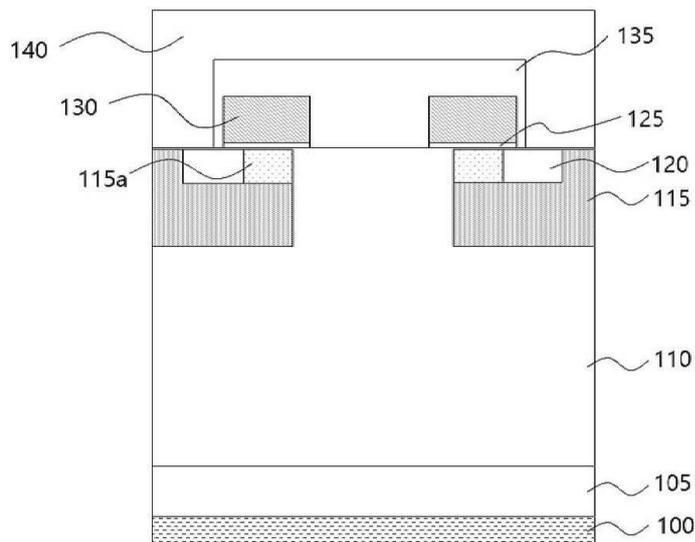
[0095] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

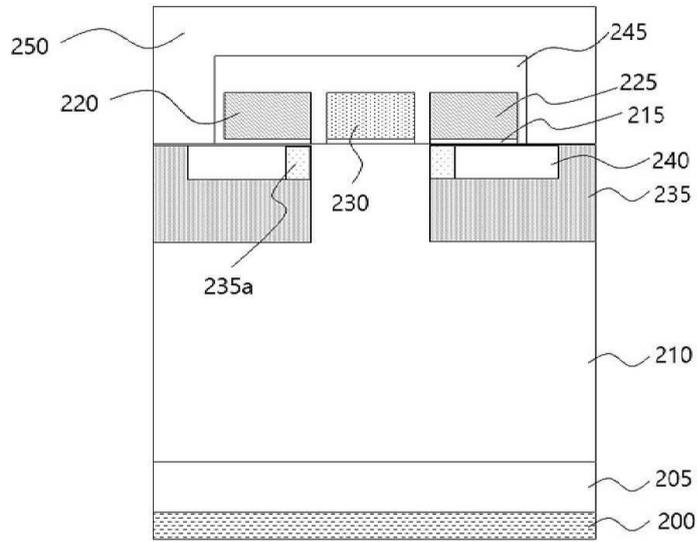
- [0097] 300 : 반도체 기판 310 : 드리프트층
- 315 : 제1 마스크 패턴 320 : 베이스 영역
- 325 : 제2 마스크 패턴 330 : 소스 영역
- 335 : 게이트 산화막 340 : 게이트 도전물질
- 345 : 제1 게이트 패턴 350 : 제2 게이트 패턴
- 355 : 제1 절연막 360 : 게이트 산화막
- 365 : 플로팅 도전 패턴 370 : 제2 절연막
- 375 : 드레인 메탈 라인 380 : 소스 메탈 라인

도면

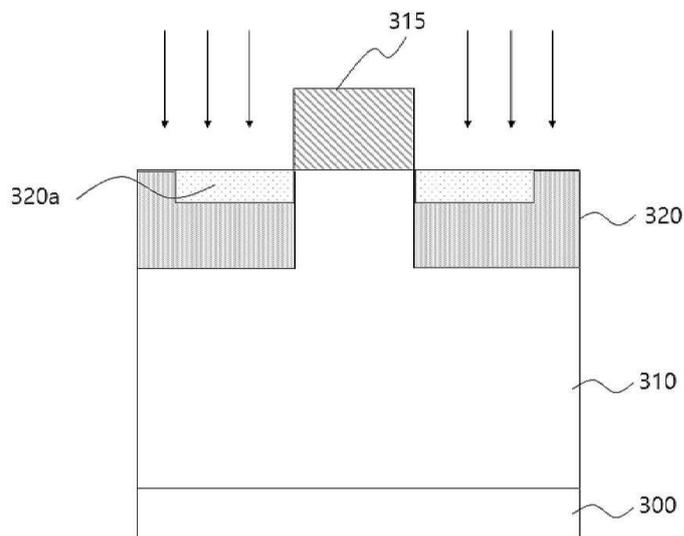
도면1



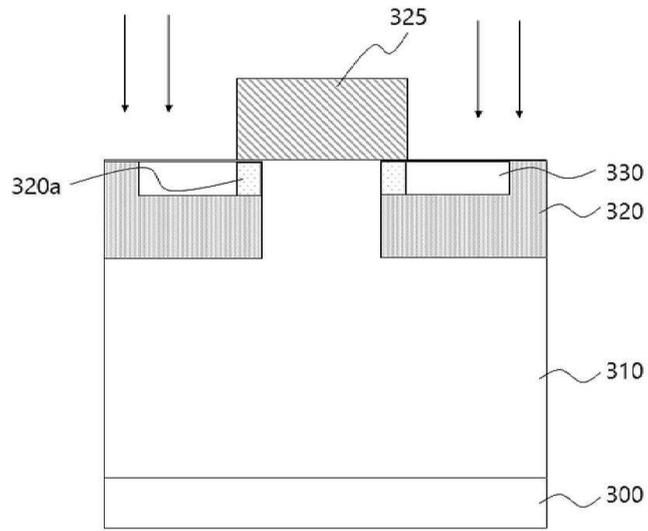
도면2



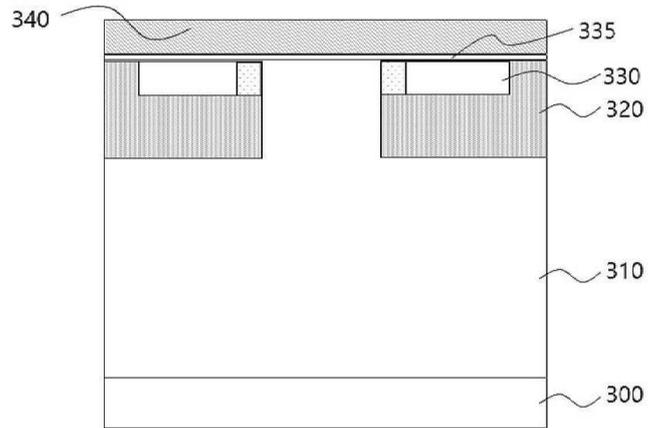
도면3a



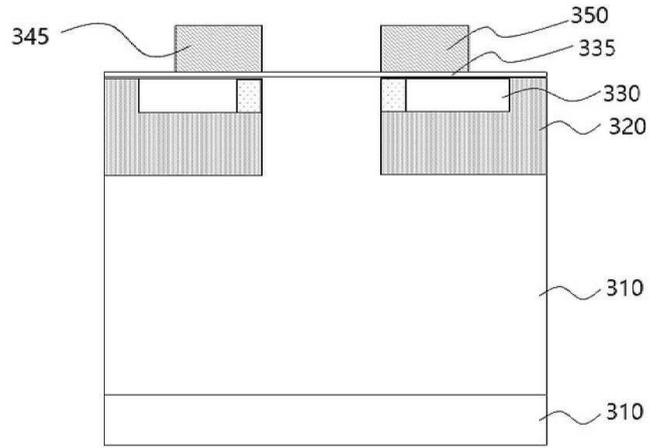
도면3b



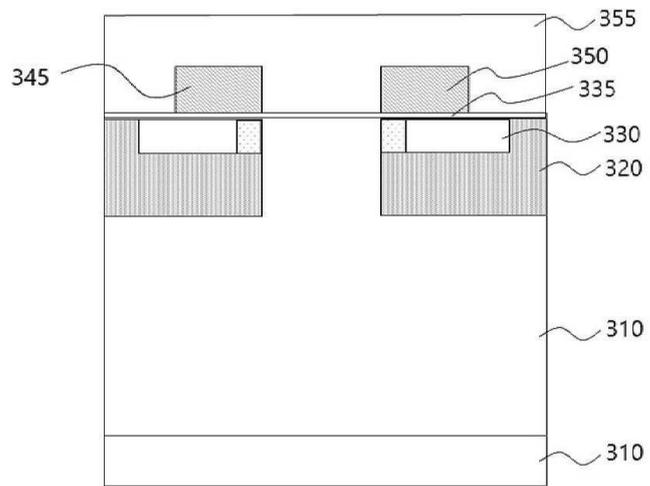
도면3c



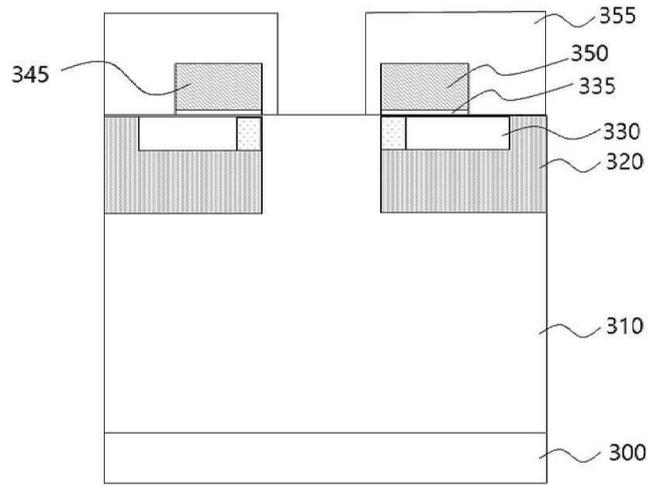
도면3d



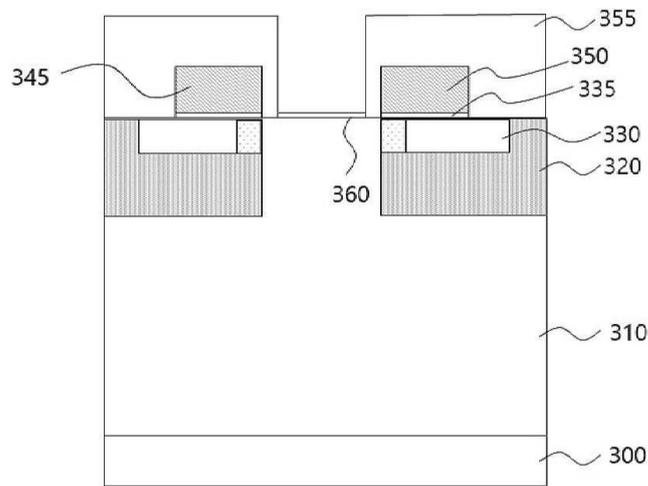
도면3e



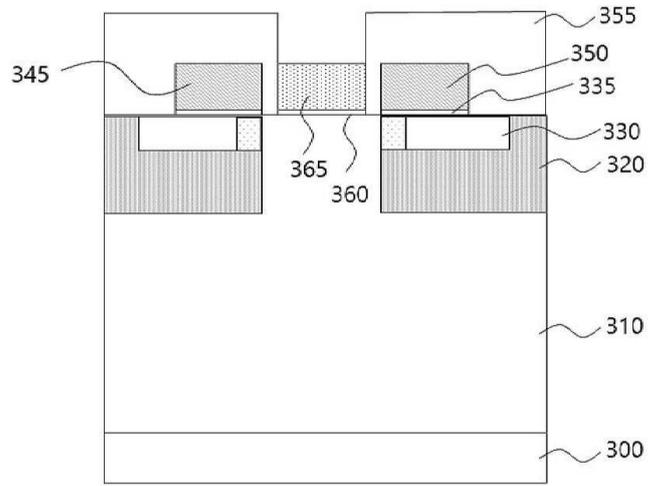
도면3f



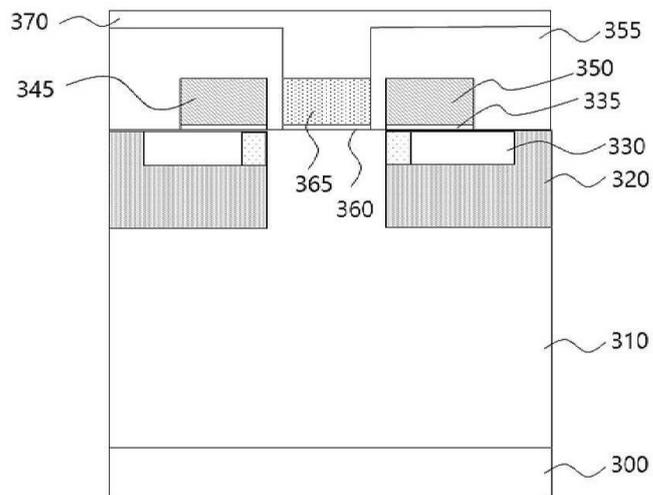
도면3g



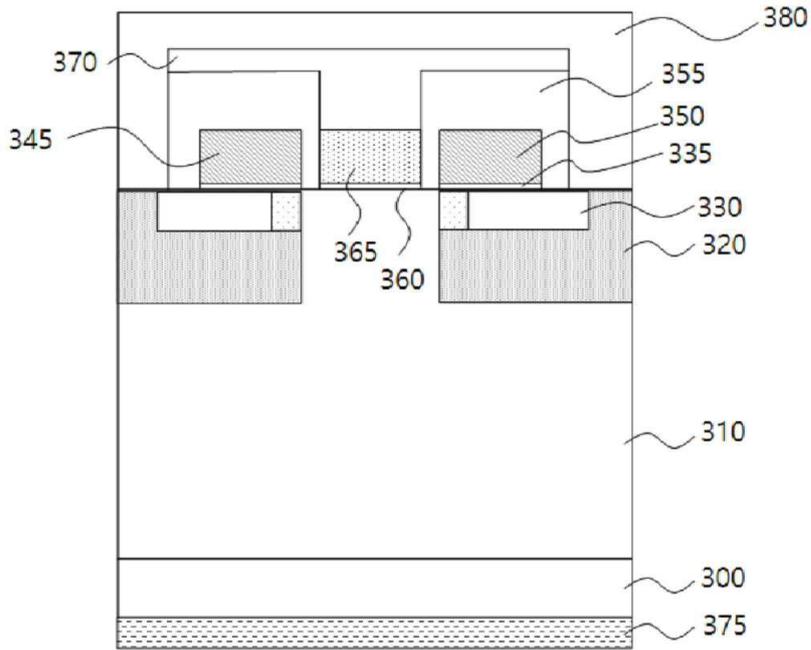
도면3h



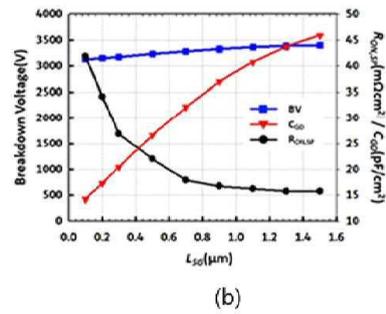
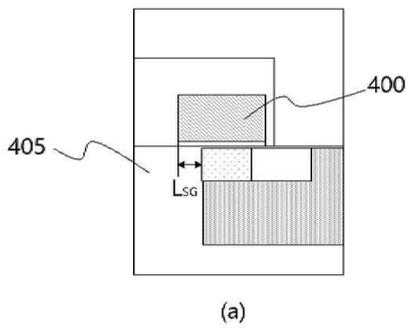
도면3i



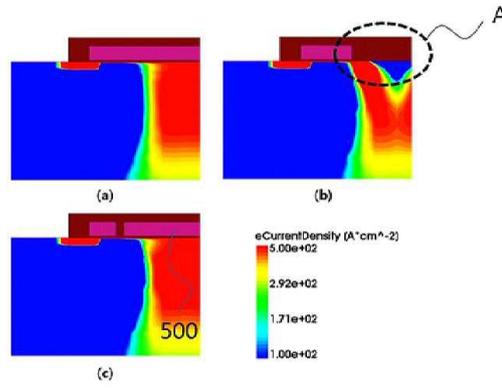
도면3j



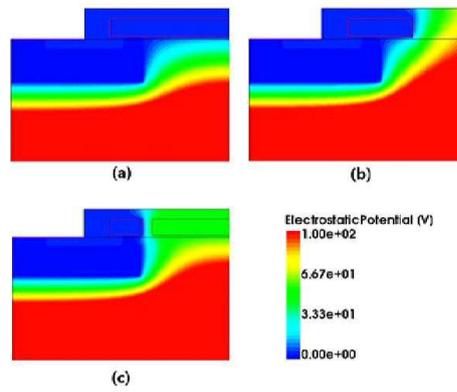
도면4



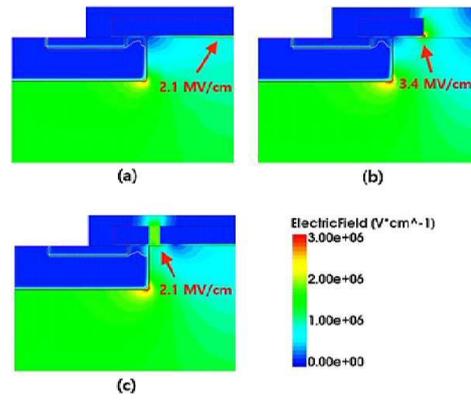
도면5



도면6



도면7



도면8

